

PAT-NO: JP405035661A
DOCUMENT-IDENTIFIER: JP 05035661 A
TITLE: SCSI CONTROLLER IC
PUBN-DATE: February 12, 1993

INVENTOR-INFORMATION:

NAME

NAGAE, YUKARI

ISONO, SOICHI

WATANABE, KUNIO

SHIDA, KOJI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP03190242

APPL-DATE: July 30, 1991

INT-CL (IPC): G06F013/36

ABSTRACT:

PURPOSE: To eliminate a normal completion report to a CPU when the processing of a first command out of two commands issued continuously is normally completed.

CONSTITUTION: Commands FIFO 6 and 7 store two commands issued continuously by a CPU. A sequencer 8 performs the processing of a first command, stores a

normal completion code in a status register 16, and outputs a normal completion interruption setting signal 20. At this time, since a command displaying bit 14 to show that the command to be processed remains is set, the normal completion interruption setting signal is suppressed by an AND gate 19 and an interrupting signal 13 is not outputted. On the other hand, when the processing of a second command is completed, the command displaying bit 14 is reset, and therefore, the interrupting signal 13 is outputted to the CPU. Thus, when the processing of the first command out of two commands issued continuously is normally completed, the interrupting signal to inform the CPU of the command execution completion can be suppressed.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-35661

(43)公開日 平成5年(1993)2月12日

(51)Int.Cl.⁶

G 0 6 F 13/36

識別記号

3 1 0 Z 7052-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数8(全12頁)

(21)出願番号 特願平3-190242

(22)出願日 平成3年(1991)7月30日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 永重 ゆかり

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内

(72)発明者 磯野 聡一

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内

(74)代理人 弁理士 富田 和子

最終頁に続く

(54)【発明の名称】 SCS IコントローラIC

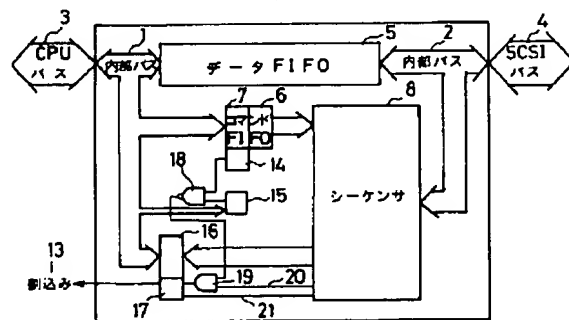
(57)【要約】

【目的】連続して発行された2つのコマンドのうちの初めのコマンドの処理が正常に終了した場合、CPUへの正常終了報告を省略する。

【構成】コマンドFIFO(6、7)は、CPUが連続して発行したコマンドを2つ格納する。シーケンサ(8)は、初めのコマンドの処理を行ない、正常終了コードをステータスレジスタ(16)に格納し、正常終了割込み設定信号(20)を出力する。このとき、処理すべきコマンドが残っていることを示すコマンド表示ビット(14)はセットされているので、正常終了割込み設定信号はANDゲート(19)によって抑止され、割込み信号(13)は出力されない。一方、2つ目のコマンドの処理の終了時は、コマンド表示ビット(14)はリセットされているので、割込み信号(13)がCPUに出力される。

【効果】連続して発行された2つのコマンドのうちの初めのコマンドの処理が正常に終了した場合、コマンド実行終了をCPUに通知する割込み信号を抑止することができる。

図 1



1

【特許請求の範囲】

【請求項1】外部より与えられた複数のコマンドを実行し、順次SCSIバスを制御するSCSIコントローラICであって、

与えられた2以上のコマンドを格納可能なコマンド格納手段と、前記コマンド格納手段にコマンドが格納された順に順次、コマンドを実行するコマンド処理手段と、前記コマンド処理手段のコマンドの実行終了時にコマンドの実行終了状態を外部に報告する実行結果報告手段と、前記コマンド処理手段が実行したコマンドが最後に前記コマンド格納手段に格納されたコマンドか否かを判定する判定手段と、前記判定手段が前記コマンド処理手段が実行したコマンドが最後に前記コマンド格納手段に格納されたコマンドでないと判定した場合であって、かつ、前記コマンド処理手段が実行したコマンドの実行終了状態が正常終了であった場合に、当該コマンド処理手段が実行したコマンドの実行終了状態の外部への報告を抑止する報告禁止手段とを有することを特徴とするSCSIコントローラIC。

【請求項2】請求項1記載のSCSIコントローラICであって、

前記コマンド格納手段は複数の前記コマンドを格納可能なFIFOメモリであって、前記判定手段は、前記コマンド処理手段によるコマンドの実行終了時に、前記FIFOメモリに未実行のコマンドが存在するか否かを判定することにより、前記コマンド処理手段が実行したコマンドが、最後に前記コマンド格納手段に格納されたコマンドか否かを判定することを特徴とするSCSIコントローラIC。

【請求項3】請求項1記載のSCSIコントローラICであって、

外部よりの設定に基づいて、前記報告禁止手段によるコマンドの実行終了状態の外部への報告の抑止を行なうか否かを制御する報告抑止制御手段を有することを特徴とするSCSIコントローラIC。

【請求項4】請求項3記載のSCSIコントロールICであって、

前記報告禁止手段によるコマンドの実行終了状態の外部への報告の抑止を行なうか否かの指定を格納する、外部より設定可能な報告抑止レジスタを備え、かつ、前記報告抑止制御手段は、報告抑止レジスタの設定内容に基づいて、前記報告禁止手段によるコマンドの実行終了状態の外部への報告の抑止をを制御することを特徴とするSCSIコントローラIC。

【請求項5】請求項1記載のSCSIコントローラICであって、

前記実行結果報告手段は、コマンドの実行終了状態を格納するステータスレジスタを備え、かつ、前記ステータスレジスタにコマンドの実行終了状態を格納して割込み信号を外部に出力することにより、外部にコマンドの実

2

行終了状態を報告し、

前記報告禁止手段は、前記割込み信号の外部への出力を抑止することにより、前記実行結果報告手段のコマンドの実行終了状態の外部への報告を抑止することを特徴とするSCSIコントローラIC。

【請求項6】CPUより与えられるコマンドを実行する周辺ICであって、

CPUより与えられた2以上のコマンドを格納可能なコマンド格納手段と、前記コマンド格納手段にコマンドが格納された順に順次、コマンドを実行するコマンド処理手段と、前記コマンド処理手段のコマンドの実行終了時にコマンドの実行終了状態を外部に報告する実行結果報告手段と、前記コマンド処理手段が実行したコマンドが最後に前記コマンド格納手段に格納されたコマンドか否かを判定する判定手段と、前記判定手段が前記コマンド処理手段が実行したコマンドが最後に前記コマンド格納手段に格納されたコマンドでないと判定した場合であって、かつ、前記コマンド処理手段が実行したコマンドの実行終了状態が正常終了であった場合に、当該コマンド処理手段が実行したコマンドの実行終了状態の外部への報告を抑止する報告禁止手段とを有することを特徴とする周辺IC。

【請求項7】請求項6記載の周辺ICであって、

外部よりの設定に基づいて、前記報告禁止手段によるコマンドの実行終了状態の外部への報告の抑止を行なうか否かを制御する報告抑止制御手段を有することを特徴とする周辺IC。

【請求項8】SCSIバスを制御する請求項1記載のSCSIコントローラICと、前記SCSIコントローラICにコマンドを発行し、SCSIコントローラICによるSCSIバスの制御を利用して、SCSIバスを用いたデータ伝送を行なうCPUとを有することを特徴とする情報処理システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、情報処理システムにおいてSCSI (Small Computer System Interface) の制御に用いられるSCSIコントローラICに関するものである。

【0002】

【従来の技術】従来、小規模な情報処理システムにおけるデバイス間のインターフェースには、SCSIが広く用いられている。

【0003】SCSIは、制御線9本よりなる制御バスと、データ線9本よりなるデータバスとよりなるSCSIバスを用いてデータの送受信を行うパラレルインターフェースである。また、SCSIバスには、最大8台までのデバイスが接続可能となっている。

【0004】このような、SCSIバスに接続されたデバイス間のSCSIによるデータ伝送を制御するのがS

CSIコントローラである。

【0005】このような、SCSIコントローラは、LSI等のICとして供給される場合が多い。

【0006】ここで、従来のSCSIコントローラLSIの構成を図5に示す。

【0007】図中、1はCPU側内部バス、2はSCSI側内部バス、3はCPUに接続されるCPU接続バス、4はSCSIバスである。

【0008】また、5は、転送データを一旦格納し、CPUバスとSCSIバス間のデータ転送速度を調整するデータFIFO (First in First Out)メモリである。

【0009】6、7は、CPUにより設定されたSCSI制御用コマンドを2つまで格納するコマンドFIFOである。また、そのうち、6が現在実行中のコマンドを格納する1段目FIFO、7がコマンド実行待ち状態のコマンドを格納する2段目FIFOである。

【0010】8は、コマンドFIFO6に格納されたコマンドに従いSCSIバスを制御するシーケンサである。

【0011】また、9、10は、シーケンサ8のコマンドの実行結果を2つまで格納するステータスFIFOである。また、そのうち、9は1段目のFIFOであり、10は2段目のFIFOである。

【0012】11、12は、それぞれステータスFIFO9、10に含まれる割込みビットを示している。

【0013】また、13はCPUに対する割込み信号である。

【0014】以下、この従来のSCSIコントローラLSIの動作を説明する。

【0015】図6は、従来のSCSIコントローラLSIの動作タイミングを示したものである。

【0016】図示するように、コマンド1は、CPUによりコマンドFIFO1段目6に書き込まれる。そして、CPUよりの、次のコマンド2はコマンドFIFO2段目7に書き込まれる。

* 【0017】シーケンサ8は、コマンドFIFO1段目6に書き込まれたコマンド1を処理する。そして、処理を終えると、ステータスFIFO1段目9にコマンド1の終了ステータスを格納し、コマンドFIFO2段目7に格納されていたコマンド2をコマンドFIFO1段目6にロードする。そして、コマンドFIFO1段目6に書き込まれたコマンド2の処理を開始する。

【0018】一方、シーケンサ8によって、ステータスFIFO1段目9にコマンド1の終了ステータス1が格納されると、割込み信号13がCPUに出力される。

【0019】シーケンサ8は、コマンド2の処理を終えると、ステータスFIFO2段目10にコマンド2の終了ステータスを格納する。

【0020】割込み信号13を受けたCPUは、発行したコマンド1の実行結果を知るために、ステータスFIFO1段目9に格納されているコマンド1終了ステータスを読みだすと、ステータスFIFO2段目10に格納されていたコマンド2終了ステータスがステータスFIFO1段目9にロードされる。

20 【0021】また、コマンド2終了ステータスがステータスFIFO1段目9にロードされると、再度CPUに対する割込み信号13が出力される。

【0022】そして、2度目の割込み信号13を受けたCPUは、発行したコマンド2の実行結果を知るために、ステータスFIFO1段目9に格納されているコマンド2終了ステータスを読みだす。

30 【0023】なお、コマンド1が異常終了した場合には、シーケンサ8はコマンド1の異常終了時にCPUに対して異常終了割込みを発生し、コマンド2を自動的にクリアする。

【0024】ここで、表1に、CPUがSCSIコントローラLSIに発行するコマンドの例を示す。表中、中欄がコマンド、右欄がコマンドの指定する動作である。

【0025】

【表1】

表 1

NO	コマンド名	動作
①	Select with ATN Sequence	(アービトレーションフェーズ→セレクションフェーズ→メッセージアウトフェーズ→コマンドフェーズ)を指定
②	Transfer Information	イニシエータ時にターゲットの示したフェーズでデータの送受信を行う(メッセージインフェーズの時ACK/アサットのまま終了)
③	Message-Accepted	ACK/をネゲートする

【0026】次に、イニシエータがターゲットにリード コマンドを発行し、ターゲットからデータを受け取るシ※50 が、イニシエータのSCSIアダプタとして適用された

5

場合の動作を動作を説明する。

【0027】図4に示すように、このシーケンスにおいて、フェーズはバスフリーフェーズ、アービトラージョンフェーズ、セクションフェーズ、メッセージアウトフェーズ、コマンドフェーズ、メッセージインフェーズ、バスフリーフェーズと遷移する。

【0028】図示するように、CPUは、まずデータFIFO5にターゲットに送信する、リードコマンドデータ等の送信データを書き込み、表1に示すSelect With ATNSequenceコマンド及びTransfer Informationコマンドを、SCSIコントローラLSIに発行する。

【0029】すると、SCSIコントローラLSIのシーケンサ8は、Select With ATN Sequenceコマンドを実行し、SCSIバスを制御しアービトラージョンフェーズ、セクションフェーズ、メッセージアウトフェーズ、コマンドフェーズを実行する。

【0030】コマンドフェーズが終了し、ACK/401信号をネゲートするとシーケンサ8は、ステータスFIFO1段目9に正常終了を示すコードを出力し、割込みビット11に「1」をセットし、割込み信号13をCPUに対して出力する。つぎに、該従来例のシーケンサ8は、Transfer Informationコマンド200を実行しメッセージインフェーズにて1バイト受け取り、ACK/信号をアサートした状態で、ステータスFIFO2段目10に正常終了を示すコードを出力し、割込みビット12に「1」をセットする。

【0031】CPUがSelect With ATN Sequenceコマンドの正常終了ステータスを読みだすと、ステータスFIFO2段目10に格納されたTransfer Informationコマンドの正常ステータスは、ステータスFIFO1段目9にロードされる。また、割込みビット12のあたりは割込みビット11にロードされ、割込み信号13をCPUに対して再出力する。

【0032】つぎに、CPUがTransfer Informationコマンドの正常ステータスを読みだすと、ステータスFIFO1段目9及び割込みビット11の値はクリアされ割込み信号13はネゲートされる。

【0033】次にCPUは、メッセージインフェーズにて受信したデータFIFOに格納されている入力データを読みだし、メッセージインフェーズのACK/401をクリアするためにMessage Acceptedコマンドと、次の1バイトを受け取るためにTransfer Informationコマンド200を発行する。シーケンサ8は、Message Acceptedコマンドを実行しACK/401をネゲートし、REQ/402がターゲットによりアサートされるとステータスFIFO1段目9に正常終了を示すコードを出力し、割込みビット11に「1」をセットし、割込み信号13をCPUに対して出力する。

【0034】次に、シーケンサ8は、Transfer Informationコマンドを実行しメッセージインフェーズにて1

6

バイト受け取り、ACK/信号401をアサートした状態で、ステータスFIFO2段目10に正常終了を示すコードを出力し、割込みビット12に「1」をセットする。

【0035】CPUがMessage Acceptedコマンドの正常終了ステータスを読みだすと、ステータスFIFO2段目10に格納されたTransfer Informationコマンドの正常ステータスは、ステータスFIFO1段目9にロードされる。また、割込みビット12の値は割込みビット11にロードされ、割込み信号13をCPUに対して再出力する。

【0036】次に、CPUがTransfer Informationコマンドの正常ステータスを読みだすと、ステータスFIFO1段目9及び割込みビット11の値はクリアされ割込み信号13はネゲートされる。CPUはさらに、メッセージインフェーズのACK/信号401をクリアするためにMessage Acceptedコマンドを発行する。

【0037】シーケンサ8は、Message Acceptedコマンドを実行しACK/をネゲートし、BSY/がターゲットによりネゲートされるとステータスFIFO1段目9に正常終了を示すコードを出力し、割込みビット11に「1」をセットし、割込み信号13をCPUに対して出力する。

【0038】CPUがMessage Acceptedコマンドの正常終了ステータスを読みだし正常終了を確認すると、ステータスFIFO1段目9及び割込みビット11の値はクリアされ割込み信号13はネゲートされる。

【0039】このように、SCSIコントローラLSIのSCSI制御シーケンスは、一般に、CPUによって、汎用性あるコマンドの組み合わせによって指定される。SCSIの動作シーケンス毎にコマンド設けると、コマンド種数が膨大なものになるため、汎用性ある少数のコマンドの組み合わせによって動作シーケンスを指定しているのである。

【0040】なお、前掲した表中の各コマンドも、異なる複数のSCSI制御シーケンスの実現のために他のコマンドと組み合わせ用いられる。

【0041】以上説明したように、従来のSCSIコントローラを用いた場合、先に示した、リードコマンドを発行し、ターゲットからデータを受け取るシーケンスを実現するために、CPUは、受け取った5回の割込みに対応して5回の割込み処理を実行しなければならない。

【0042】

【発明が解決しようとする課題】このように、従来のSCSIコントローラによれば、コマンドの組み合わせによってSCSI制御シーケンスを指定するために、各コマンドに対応してCPUにコマンドの実行終了状態の報告が、割込みによって行なわれる。そのため、CPUのSCSIプロトコル処理において、割込み処理によるオーバーヘッドが大きいという問題があった。

【0043】一方、SCSI制御シーケンスを1つのコマンドにより指定しようとする、コマンド種が増大し、これを処理するシーケンサが複雑化する。

【0044】そこで、本発明は、コマンド種数を増大することなく、CPUのSCSIプロトコル処理における、SCSIコントローラからの、コマンドの実行終了状態の報告に起因するオーバーヘッドを低減することのできるSCSIコントローラICを提供することを目的とする。

【0045】

【課題を解決するための手段】前記目的達成のために、本発明は、外部より与えられた複数のコマンドを実行し、順次SCSIバスを制御するSCSIコントローラICであって、与えられた2以上のコマンドを格納可能なコマンド格納手段と、前記コマンド格納手段にコマンドが格納された順に順次、コマンドを実行するコマンド処理手段と、前記コマンド処理手段のコマンドの実行終了時にコマンドの実行終了状態を外部に報告する実行結果報告手段と、前記コマンド処理手段が実行したコマンドが最後に前記コマンド格納手段に格納されたコマンドか否かを判定する判定手段と、前記判定手段が前記コマンド処理手段が実行したコマンドが最後に前記コマンド格納手段に格納されたコマンドでないと判定した場合であって、かつ、前記コマンド処理手段が実行したコマンドの実行終了状態が正常終了であった場合には、当該コマンド処理手段が実行したコマンドの実行終了状態の外部への報告を抑止する報告禁止手段とを有することを特徴とするSCSIコントローラICを提供する。

【0046】

【作用】本発明に係るSCSIコントローラICによれば、報告禁止手段は、判定手段が前記コマンド処理手段が実行したコマンドが最後に前記コマンド格納手段に格納されたコマンドでないと判定した場合であって、かつ、前記コマンド処理手段が実行したコマンドの実行終了状態が正常終了であった場合には、当該コマンド処理手段が実行したコマンドの実行終了状態の外部への報告を抑止する。

【0047】すなわち、コマンドの実行が正常に終了した場合は、コマンド格納手段に格納した2以上のコマンドのうち、最後に与えられたコマンド以外のコマンドについては、正常終了の報告を行わずに、最後に与えられたコマンドについてのみ正常終了の報告を行なう。一方、コマンドの実行が異常に終了した場合は、常に、異常終了の報告を行なう。

【0048】

【実施例】以下、本発明に係るSCSIコントローラLSIの一実施例を説明する。

【0049】まず、図3にSCSIを採用する情報処理システムの構成を示す。

【0050】図中、310、320、330、340、

350、360、370、380が、それぞれコンピュータやディスクドライブやプリンタ等のデバイスであり、390がSCSIバスである。また、各デバイス中の311、321、331、341、351、361、371、381が本実施例に係るSCSIコントローラLSIである。

【0051】コンピュータであるデバイス310、320、330は、SCSI上イニシエータとして動作し、その他のデバイス340、350、360、370、380はSCSI上ターゲットとして動作する。各SCSIコントローラLSIはSCSIバスを制御して、各デバイスのSCSIバスを用いたデータ伝送を可能にする。

【0052】次に、本実施例に係るSCSIコントローラLSIの構成を図1に示す。

【0053】図中、1はCPU側内部バス、2はSCSI側内部バス、3はCPUバス、4はSCSIバス、5はデータFIFO、6はコマンドFIFO1段目、7はコマンドFIFO2段目、8はシーケンサ、13は割込み信号である。

【0054】14はコマンドFIFO2段目にコマンドが存在するかどうかを示すコマンド存在表示ビットであり、15は1つめのコマンドの終了が正常終了であって、終了時に2つめのコマンドがコマンドFIFOの中に存在する場合は、コマンドの終了による割込みの出力を禁止する中間割込み禁止ビットである。

【0055】また、16はシーケンサ8により実行されたコマンドの終了状態を保持するステータスレジスタである。このステータスレジスタ16は、中間割込み禁止ビット15がセットされている場合は単独のステータスレジスタとして働くが、中間割込み禁止ビット15がセットされていない場合は、前記従来技術に係るSCSIコントローラLSI（図5参照）のステータスFIFO1段目9として、図示せざるステータスFIFO2段目10と共にステータスFIFOの一部として働く。

【0056】17は割込みを保持する割込みビット、18はNANDゲート、19はANDゲート、20は正常終了割込みセット信号、21は異常終了割込みセット信号である。

【0057】次に、本実施例に係るSCSIコントローラLSIの動作を説明する。

【0058】中間割込み禁止ビット15がセットされていない場合、本実施例に係るSCSIコントローラLSIは、前述した従来のSCSIコントローラLSIと同じく動作する。なお、このとき、ステータスレジスタ16は、前述したように前記従来技術に係るSCSIコントローラLSI（図5参照）のステータスFIFO1段目9として、図示せざるステータスFIFO2段目10と共にステータスFIFOの一部として働く。

【0059】中間割込み禁止ビット15がセットされて

いる場合は、図2に示す動作タイミングで動作する。

【0060】すなわち、図示するように、コマンド1は、CPUによりコマンドFIFO1段目6に書き込まれる。そして、CPUよりの、次のコマンド2はコマンドFIFO2段目7に書き込まれる。コマンドがコマンドFIFO2段目7に書き込まれると、コマンド存在表示ビット14がセットされる。

【0061】シーケンサ8は、コマンドFIFO1段目6に書き込まれたコマンド1を処理する。そして、処理を終え、ステータスレジスタ16にコマンド1の終了ステータスを格納し、正常終了割込みセット信号20を発行する。このとき、ステータスレジスタ16にコマンド1の終了ステータスが格納されても、コマンド存在表示ビット14と中間割込み禁止ビット15により、正常終了割込み信号20は抑止され、割込みビット17はセットされない。

【0062】次に、シーケンサ8は、コマンドFIFO2段目7に格納されていたコマンド2をコマンドFIFO1段目6にロードする。そして、コマンドFIFO1段目6に書き込まれたコマンド2の処理を開始する。コマンドFIFO2段目7が空になると、コマンド存在表示ビット14はクリアされる。

【0063】シーケンサ8は、コマンド2の処理を終え、ステータスレジスタ16にコマンド2の正常終了ステータスを格納し、正常終了割込みセット信号20を発行する。

【0064】コマンド2の処理が終了し、コマンド2終了ステータスがステータスレジスタ16にロードされると、コマンド存在表示ビット14はクリアされているので、正常終了割込みセット信号20は抑止されない、したがって、割込みビット17はセットされ、CPUに対する割込み信号13が出力される。

【0065】割込み信号13を受けたCPUは、発行したコマンド2の実行結果を知るために、ステータスレジスタ1段目9に格納されているコマンド2終了ステータスを読み出す。

【0066】なお、コマンドが異常終了した場合には、シーケンサ8はコマンドの異常終了時にCPUに対して異常終了割込みを発生し、コマンドを自動的にクリアする。異常終了時の割込みビットの設定21はコマンド存在表示ビット14と中間割込み禁止ビット15によって抑止されない、コマンド1が異常終了した場合でも割込み信号13は出力される。したがって、CPUは異常処理を行なうことができる。

【0067】以下、前記従来技術の項で、従来のSCSIコントローラLSIの動作に用いた、イニシエータがターゲットにリードコマンドを発行し、ターゲットからデータを受け取るシーケンスを例にとり、イニシエータのSCSIアダプタとして適用されたSCSIコントローラLSIの動作を説明する。

【0068】前述したように、このシーケンスにおいてフェーズはバスフリーフェーズ、アービトレーションフェーズ、セレクションフェーズ、メッセージアウトフェーズ、コマンドフェーズ、メッセージインフェーズ、バスフリーフェーズと遷移し、SCSIバスの各信号は図4に示すように遷移する。

【0069】また、本実施例においても、前記従来技術で表1に示したコマンドを用いる。

【0070】図4に示したシーケンスを実現するために、CPUは、図4中410で示す動作を行う。

【0071】すなわち、まず、CPUは、SCSIコントローラLSI（図1参照）の中間割込み禁止ビット15をセットし、データFIFO5にメッセージアウトフェーズ、コマンドフェーズにて送信するリードコマンドデータ等を書き込み、SelectWith ATN Sequenceコマンド及びTransfer Informationコマンドを発行する。

【0072】一方、SCSIコントローラLSIにおいて、CPUが発行したSelect With ATN SequenceコマンドはコマンドFIFO1段目6に格納され、Transfer InformationコマンドはコマンドFIFO2段目7に格納される。また、コマンドFIFO2段目7にコマンドが格納されると、コマンド存在表示ビット14には1がセットされる。

【0073】シーケンサ8は、コマンドFIFO1段目6に格納されたSelect With ATN Sequenceコマンドを実行し、SCSIバスを制御してアービトレーションフェーズ、セレクションフェーズ、メッセージアウトフェーズ、コマンドフェーズを実行する。

【0074】シーケンサ8は、コマンドフェーズが終了し、ACK/信号401をネゲートして、Select With ATN Sequenceコマンドの処理を終了する。そして、ステータスレジスタ16に正常終了を示すコードを出力し、正常終了割込みセット信号20をパルス出力する。

【0075】ここで、あらかじめCPUにより中間割込み禁止ビット15がセットされているので、コマンド存在表示ビット14、中間割込み禁止ビット15はともに1である。したがって、NANDゲート18の出力は`0`と成り、ANDゲート19の出力はアクティブとならない。

【0076】よって割込みビット17は`1`にセットされず、割込み信号13は出力されない。

【0077】つぎに、コマンドFIFO2段目7に格納されていたTransfer Informationコマンドが、コマンドFIFO1段目6にロードされる。

【0078】コマンドFIFO2段目7にはコマンドがなくなったので、コマンド存在表示ビット14はクリアされ`0`になる。したがって、NANDゲート18の出力は`1`となる。

【0079】シーケンサ8は、FIFO1段目6にロードされたTransfer Informationコマンドを実行し、メッ

11

セージインフェーズにてデータを1バイト受け取るとこのデータをデータFIFO5に格納し、ACK/信号401をアサートしたままTransfer Informationコマンドの処理を終了する。そして、ステータスレジスタ16に正常終了を示すコードを出力し、正常終了割込みセット信号をパルス出力する。

【0080】このとき、前述したように、NANDゲート18の出力は1となっているので、ANDゲート19の出力は1となり、割込みビット17に`1`がセットされ、割込み信号13は出力される。

【0081】この割込み信号13による割込みを受けたCPUは、ステータスレジスタ16の値を読みだし、正常終了であることを確認する。CPUが、ステータスレジスタ16の値を読みだすと割込みビット17の値はクリアされ、割込み信号13はネゲートされる。

【0082】CPUは、次に、データFIFO5の値を読みだして、メッセージインフェーズのACK/をクリアするためにMessage Acceptedコマンドを発行する。また、続けて、次のデータを1バイトを受け取るためにTransfer Informationコマンドを発行する。

【0083】一方、SCSIコントローラLSIにおいて、CPUが発行したMessage AcceptedコマンドはコマンドFIFO1段目6に格納され、Transfer InformationコマンドはコマンドFIFO2段目7に格納される。また、コマンドFIFO2段目7にコマンドが格納されると、コマンド存在表示ビット14には1がセットされる。

【0084】シーケンサ8は、コマンドFIFO1段目6に格納されたMessage Acceptedコマンドを実行しACK/401をネゲートし、REQ/402がターゲットによりアサートされるとステータスレジスタ16に正常終了を示すコードを出力し、正常終了割込みセット信号20をパルス出力する。

【0085】このとき、中間割込み禁止ビット15がセットされており、コマンドFIFO2段目にTransfer Informationコマンドが格納されているため、割込み信号13は出力されない。

【0086】一方、コマンドFIFO2段目7に格納されていたTransfer Informationコマンドは、コマンドFIFO1段目6にロードされる。

【0087】コマンドFIFO2段目7にはコマンドがなくなったので、コマンド存在表示ビット14はクリアされ`0`になる。したがって、NANDゲート18の出力は`1`となる。

【0088】以下、先ほどTransfer Informationコマンドの処理と同様に、シーケンサ8は、FIFO1段目6にロードされたTransfer Informationコマンドを実行し、メッセージインフェーズにてデータを1バイト受け取るとこのデータをデータFIFO5に格納し、ACK/信号401をアサートしたままTransfer Information

12

コマンドの処理を終了する。そして、ステータスレジスタ16に正常終了を示すコードを出力し、正常終了割込みセット信号をパルス出力する。

【0089】このとき、前述したように、NANDゲート18の出力は1となっているので、ANDゲート19の出力は1となり、割込みビット17に`1`がセットされ、割込み信号13は出力される。

【0090】この割込み信号13による割込みを受けたCPUは、ステータスレジスタ16の値を読みだし、正常終了であることを確認する。CPUが、ステータスレジスタ16の値を読みだすと割込みビット17の値はクリアされ、割込み信号13はネゲートされる。

【0091】そして、CPUはメッセージインフェーズにて受信した、データFIFO5の値を読みだす。

【0092】また、CPUは、メッセージインフェーズのACK/をクリアするためにMessage Acceptedコマンドを発行する。

【0093】一方、SCSIコントローラLSIにおいて、CPUが発行したMessage AcceptedコマンドはコマンドFIFO1段目6に格納される。

【0094】シーケンサ8は、コマンドFIFO1段目6に格納されたMessage Acceptedコマンドを実行しACK/401をネゲートし、BSY/403がターゲットによりネゲートされると、正常終了を示すコードを出力し、正常終了割込みセット信号20をパルス出力する。

【0095】このとき、コマンドFIFO2段目にコマンドは格納されていないためNANDゲート18の出力は1となっているので、ANDゲート19の出力は1となり、割込みビット17に`1`がセットされ、割込み信号13は出力される。

【0096】この割込みを受けたCPUは、Message Acceptedコマンドの正常終了ステータスを読みだし正常終了を確認する。正常終了ステータスが読みだされると、ステータスレジスタおよび割込みビット17の値はクリアされ割込み信号13はネゲートされる。

【0097】なお、コマンドが異常終了した場合には、シーケンサ8はコマンド1の異常終了時に異常終了時の割込みセット信号21を発生して、割込みビットをセットし、CPUに対して割込みを発生し、コマンドFIFO2段目7のコマンドを自動的にクリアする。異常終了割込みセット信号は21はコマンド存在表示ビット14と中間割込み禁止ビット15によって抑止されないの`で、コマンドが異常終了した場合でも割込み信号13は出力される。したがって、CPUは、発行した全てのコマンドについて、異常処理を行なうことができる。`

【0098】以上が、本実施例に係るSCSIコントローラLSIによる、イニシエータがターゲットにリードコマンドを発行し、ターゲットからデータを受け取るシーケンスの動作である。そして、以上説明したように、本実施例によれば、CPUは、割込み処理を3回行うだ

13

けて本シーケンスを実現している。これは前述した従来技術において必要であったCPUの割込み処理回数5回よりも少ない。また、本実施例において、コマンドは前述した従来技術と同じものを用いている。

【0099】以上のように、本実施例によれば、CPUが連続して発行した2つのコマンドのうちの1つ目のコマンドの処理が正常に終了した場合は正常終了の報告を省略し、1つ目のコマンドの処理の正常終了の情報を2つ目のコマンドの処理の終了報告に含ませている。このため、CPUの割込み処理回数は減り、SCSIコントローラからの割込みに起因するCPUのオーバーヘッドを低減することができる。一方、コマンドの処理が異常終了した場合は、1つ目のコマンドの処理であっても、これを報告することにより、CPUの異常処理を可能としている。

【0100】これは、前述したシーケンスにおけるように、CPUが連続して複数のコマンドを発行した場合、1つ目のコマンドの処理が正常終了に起因して、CPUが行なうべき処理が生じる場合が少ないと想定されることを利用したものである。

【0101】一方、本実施例によれば、1つ目のコマンドについての正常終了の報告の省略を指定する中間割込み禁止ビットを外部より設定可能としているので、1つ目のコマンドの処理の正常終了に起因してCPUが行なうべき処理がある場合には、1つ目のコマンドの処理の正常終了報告を省略せずに行なうようにすることができる。

【0102】なお、本実施例においては、SCSIコントローラLSIが、一度に連続して受け付け可能なコマンド数を2つとしたが、一度に連続して受け付け可能なコマンド数を3以上とするようにしてもよい。この場合には、CPUより発行されたコマンドを格納するコマンドFIFOの段数を、受け付け可能としたコマンド数に応じて増やし、最終に受け付けたコマンド以外のコマンドは、前記実施例の説明中における初めに受け付けたコマンドの処理と同様に処理し、最終に受け付けたコマンドは、前記実施例の説明中における2番目に受け付けたコマンドの処理と同様に処理するようにすればよい。

【0103】また、本実施例はSCSIコントローラLSIについて説明したが、CPUが発行したコマンドに基づいて処理を実行し、処理結果を報告する他の周辺ICにも同様に適用することができる。

14

【0104】

【発明の効果】以上のように、本発明によれば、コマンド種数を増大することなく、CPUのSCSIプロトコル処理における、SCSIコントローラからのコマンドの実行終了状態の報告に起因するオーバーヘッドを低減することのできるSCSIコントローラICを提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るSCSIコントローラの構成を示すブロック図である。

【図2】本発明の一実施例に係るSCSIコントローラの動作を示すタイミングチャートである。

【図3】本発明の一実施例に係る情報処理システムの構成を示すブロック図である。

【図4】SCSIバスのシーケンスの一例とCPUの処理との関係を示したタイミングチャートである。

【図5】従来技術に係るSCSIコントローラの構成を示すブロック図である。

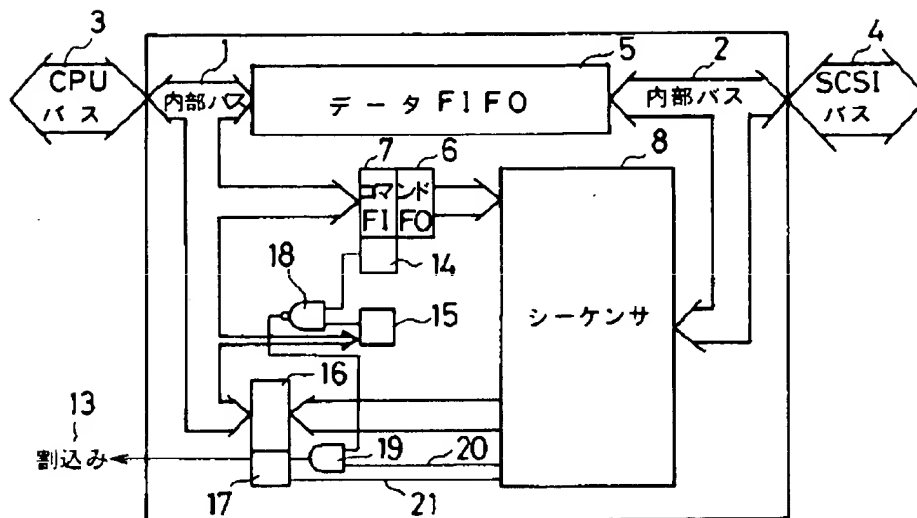
【図6】従来技術に係るSCSIコントローラの動作を示すタイミングチャートである。

【符号の説明】

- 1 CPU側内部バス
- 2 SCSI側内部バス
- 3 CPU接続バス、
- 4 SCSIバス
- 5 データFIFO
- 6 1段目コマンドFIFO
- 7 2段目コマンドFIFO
- 8 シーケンサ
- 9 1段目ステータスFIFO
- 10 2段目ステータスFIFO
- 11 割込みビット
- 12 割込みビット
- 13 割込み信号
- 14 コマンド存在表示ビット
- 15 中間割込み禁止ビット
- 16 ステータスレジスタ
- 17 割込みビット
- 18 NANDゲート
- 19 ANDゲート
- 20 正常終了割込みセット信号
- 21 異常終了割込みセット信号

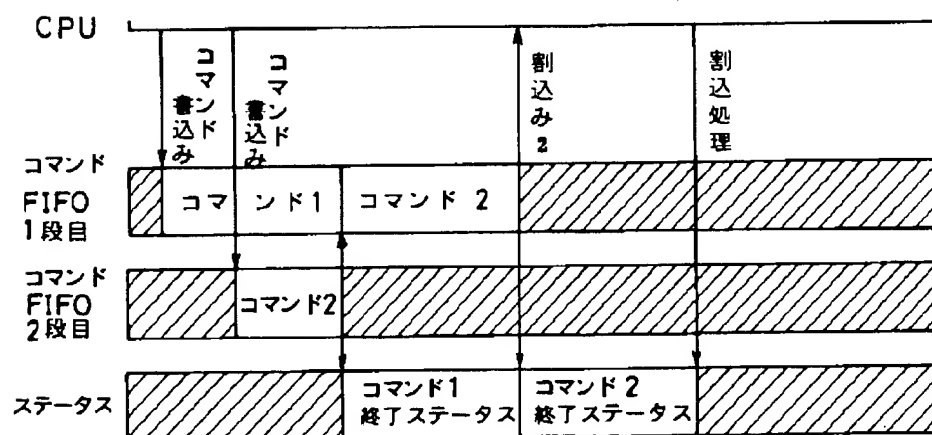
【図1】

図 1



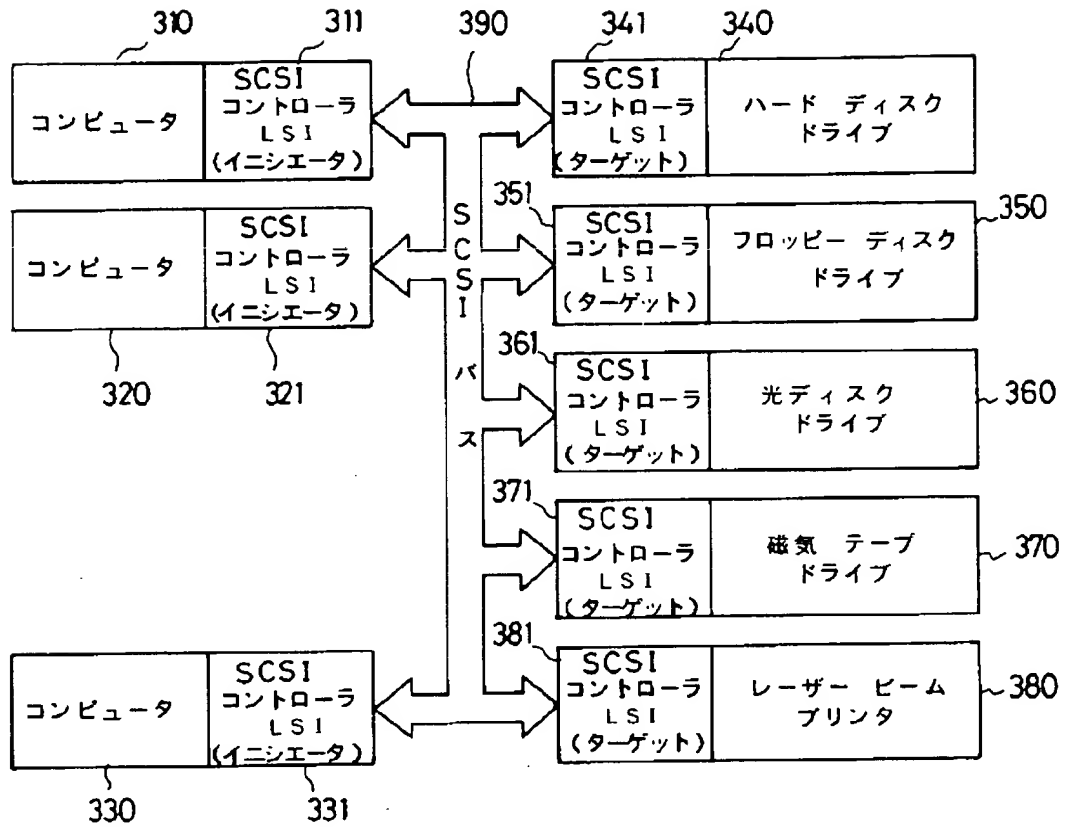
【図2】

図 2



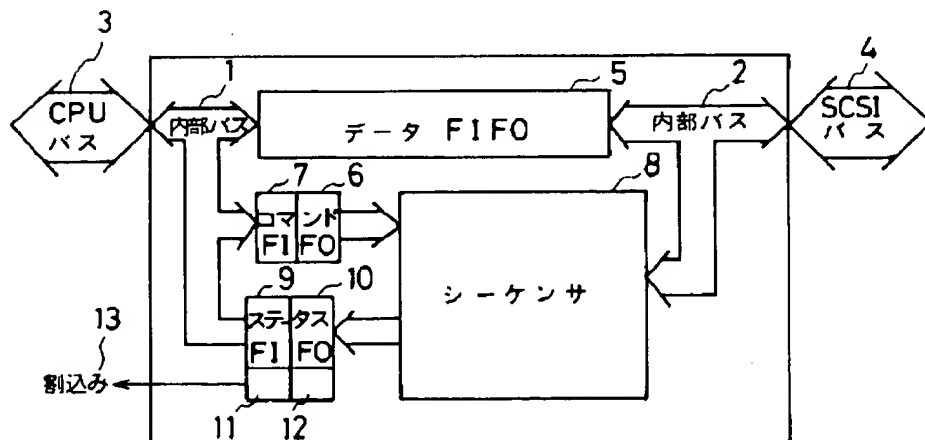
【図3】

図 3



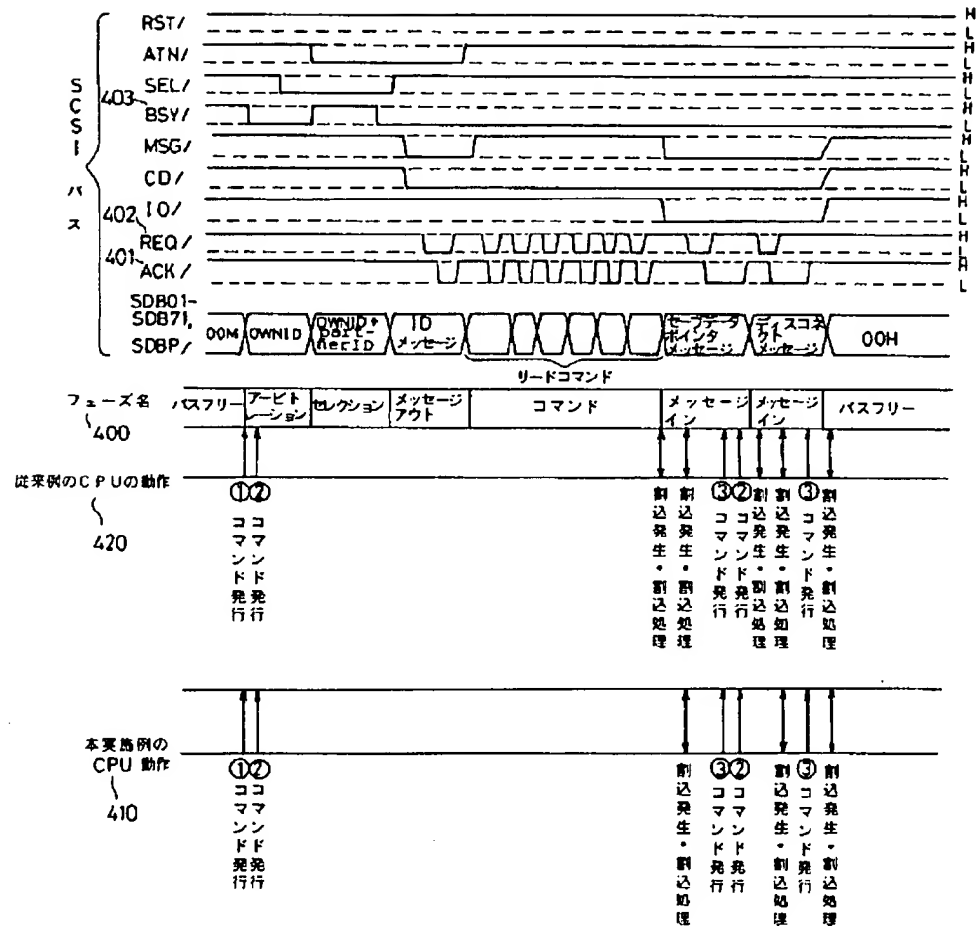
【図5】

図 5



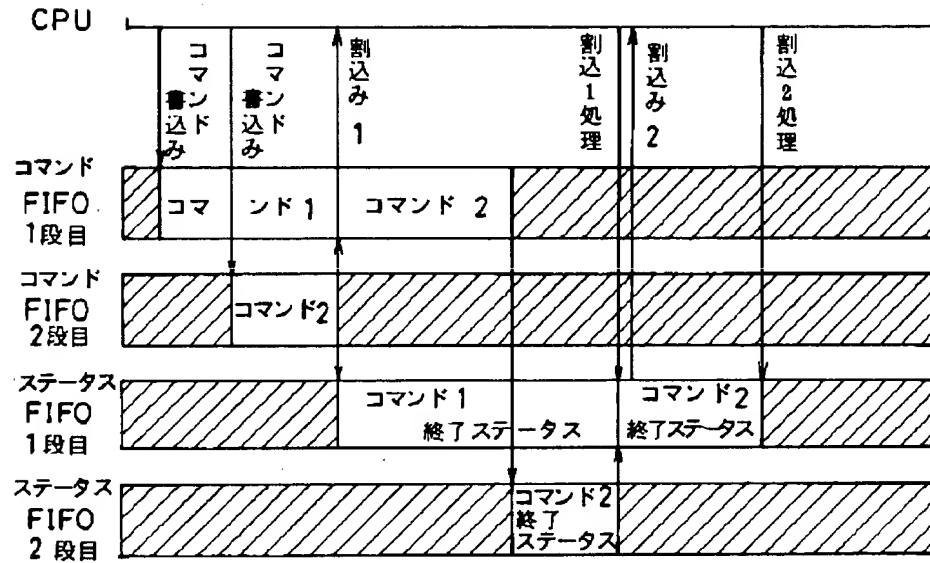
【図4】

図 4



【図6】

図 6



フロントページの続き

(72)発明者 渡辺 国夫
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所マイクロエレクトロニク
 ス機器開発研究所内

(72)発明者 志田 光司
 群馬県高崎市西横手町111番地 株式会社
 日立製作所半導体設計開発センタ内